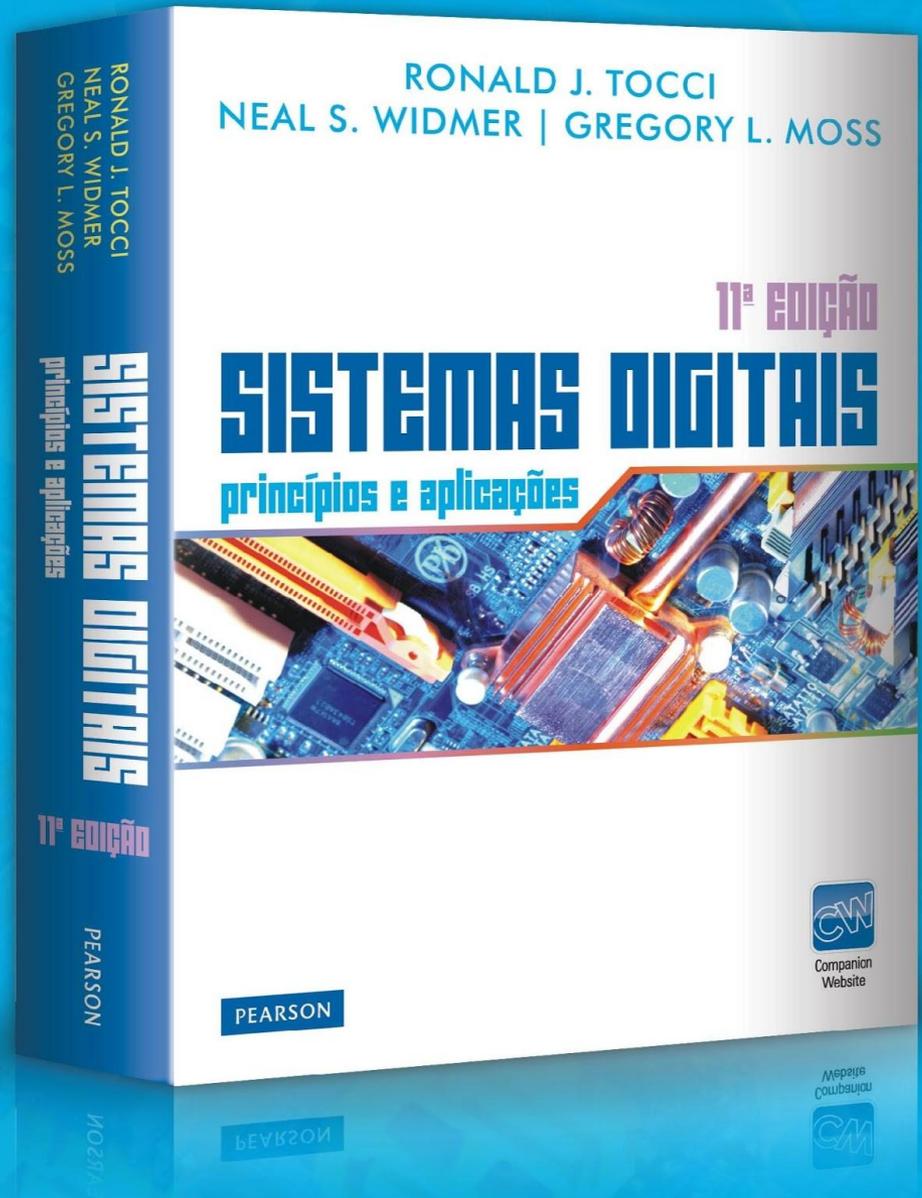


Capítulo 13

Arquiteturas de Dispositivos Lógicos Programáveis

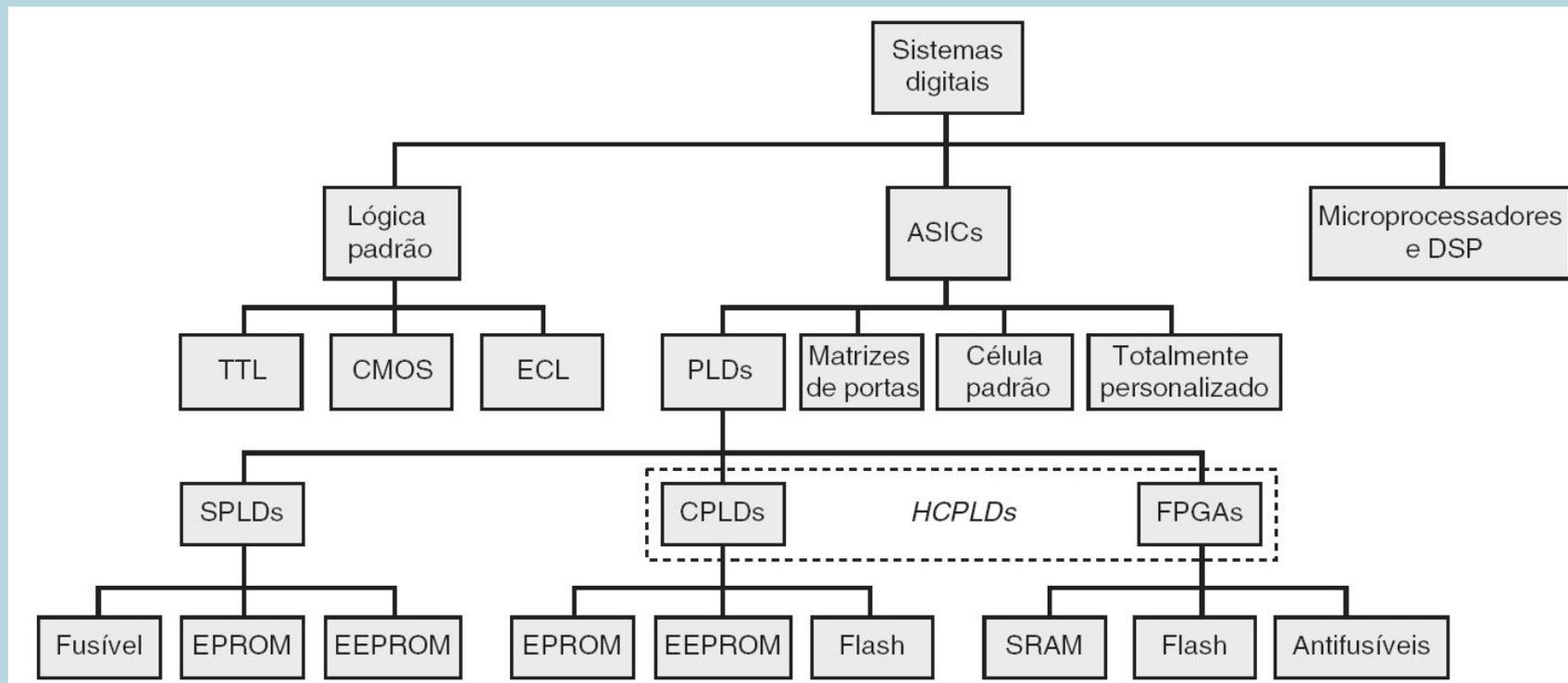


Temas abordados nesse capítulo:

- Descrever as diferentes categorias de dispositivos de sistemas digitais.
- Descrever os diferentes tipos de PLDs.
- Interpretar as informações do livro de dados PLD .
- Definir a terminologia PLD.
- Comparar diferentes tecnologias de programação usada em PLDs.
- Comparar as arquiteturas de diferentes tipos de PLDs.
- Comparar as características da Altera (CPLDs e FPGAs).

13-1 Árvore das Famílias de Sistemas Digitais

A árvore das famílias dos sistemas digitais, apresentando a maioria das escolhas de hardware atualmente disponíveis, pode ser útil na triagem das muitas categorias de dispositivos digitais:



13-1 Árvore das Famílias de Sistemas Digitais

- A primeira categoria de dispositivos de lógica padrão refere-se a componentes digitais funcionais básicos (portas, flip-flops, decodificadores, multiplexadores, registradores, contadores etc.), disponíveis como CIs SSI e MSI.
- Com a segunda categoria, de sistemas microprocessador/processamento digital de sinais (DSP), os dispositivos podem ser controlados eletronicamente e os dados manipulados pela execução de um programa de instruções.
- A terceira categoria são circuitos integrados de aplicação específica (ASIC), CIs concebidos para uma aplicação específica.

A solução de hardware para um projeto digital é sempre mais rápida do que a solução de software.

13-1 Árvore das Famílias de Sistemas Digitais

- Dispositivos lógicos programáveis (PLDs), chamados dispositivos de campo de lógicas programáveis (FPLDs), podem ser configurados para criar qualquer circuito digital desejado para sistemas simples ou complexos.
- Geralmente têm o menor custo entre as subcategorias.
- A arquitetura de PLD selecionada depende de sua aplicação, pois são muito diversificadas e dinâmicas:
 - SPLD - dispositivos lógicos programáveis simples.
 - CPLD - dispositivos lógicos programáveis complexos.
 - FPGA - matrizes de portas programáveis em campo.
- CPLDs e FPGAs , também são chamadas dispositivos lógicos programáveis de alta capacidade (HCPLDs).

13-1 Árvore das Famílias de Sistemas Digitais

- Matrizes de portas são circuitos ULSI:
 - As funções lógicas são criadas por interconexões de centenas de milhares de portas pré-fabricadas.
- Uma máscara de design customizada é usada, muito parecida com os dados armazenados em uma ROM programada por máscara.
 - Individualmente são menos caras do que PLDs com mesmo número de portas.
- Processos de programação customizada são muito caros e requerem um longo período de espera.

13-1 Árvore das Famílias de Sistemas Digitais

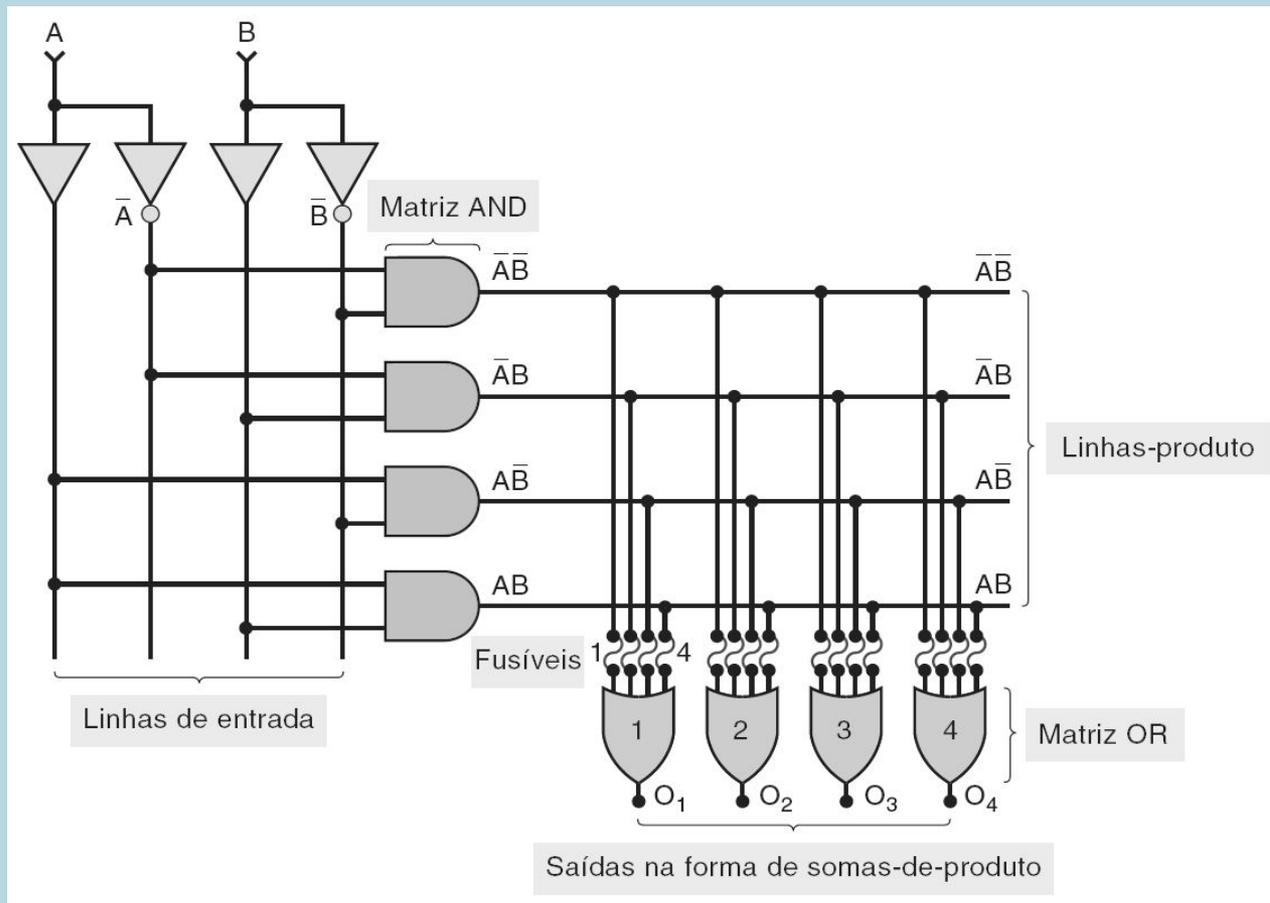
- Células padrão ASICs usam blocos de construção da função de lógica predefinidos para criar o sistema digital desejado:
 - Uma biblioteca de células disponíveis é armazenada em um banco de dados.
- Os custos do projeto para as células padrão ASICs são superiores aos MPGAs, com maior tempo de espera.
- Funções baseadas em células são projetadas para serem muito menores que as funções equivalentes em matrizes portas:
 - Permitem a operação, geralmente com maior velocidade e custos de fabricação mais baixos.

13-1 Árvore das Famílias de Sistemas Digitais

- ASICs totalmente personalizados (*full-custom*) são a melhor escolha ASIC:
Todos os componentes e interconexões são personalizadas pelo projetista do CI.
- Requerem uma quantidade significativa de tempo e dinheiro, mas podem resultar em CIs que podem operar na maior velocidade possível e exigem a menor área de chip, o que reduz significativamente o custo de produção.

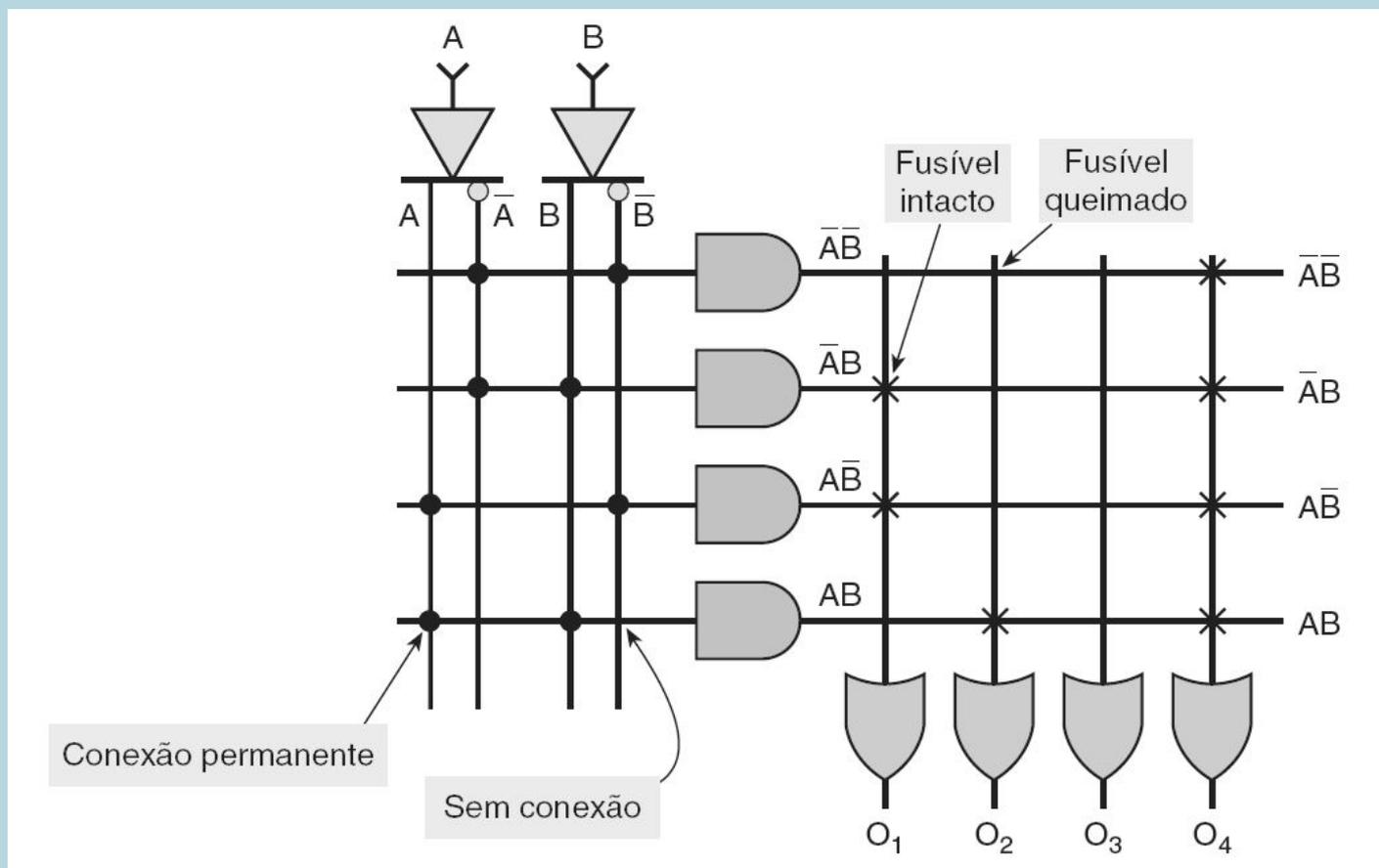
13-2 Fundamentos dos circuitos de PLDs

Cada função de saída é programada com os fusíveis posicionados entre as portas AND e cada uma das portas OR.



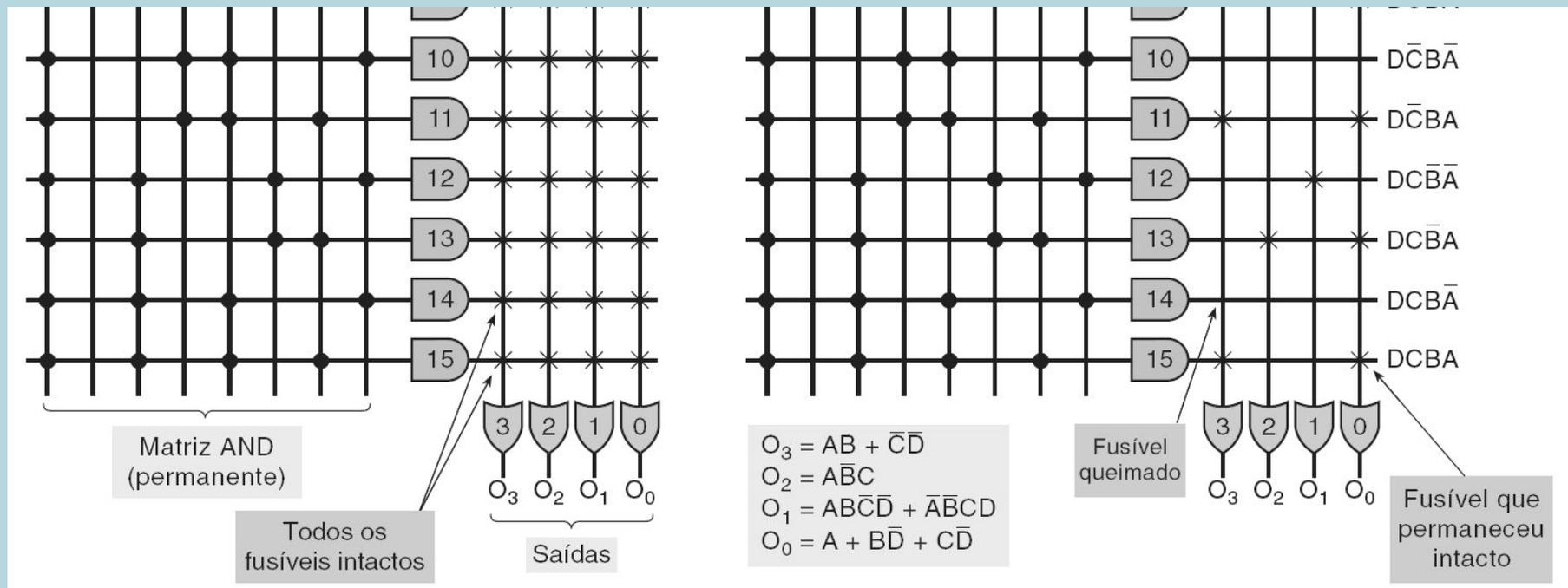
13-2 Fundamentos dos circuito de PLDs

Simbologia simplificada de PLDs:



13-3 Arquiteturas de PLDs

- PROMs têm como objetivo a implementação de uma expressão lógica de soma-de-produtos em vez de armazenamento de dados em posições de memória.
A geração de mapa de bits é facilitada por compiladores lógicos de propósito geral.



13-3 Arquiteturas de PLDs

- Lógica de arranjo programável (PAL):
Cada porta AND pode ser programada para gerar qualquer produto desejado de quatro variáveis de entrada.
- A família PAL também contém dispositivos com variações do circuito soma-de-produtos básico:
Conectam o circuito lógico de soma-de-produtos às entradas de FFs D e usam um dos pinos como entrada de clock para disparar os flip-flops de saída sincronamente.
Esses dispositivos são chamados de PLDs com registradores, porque as saídas passam através de um registro.

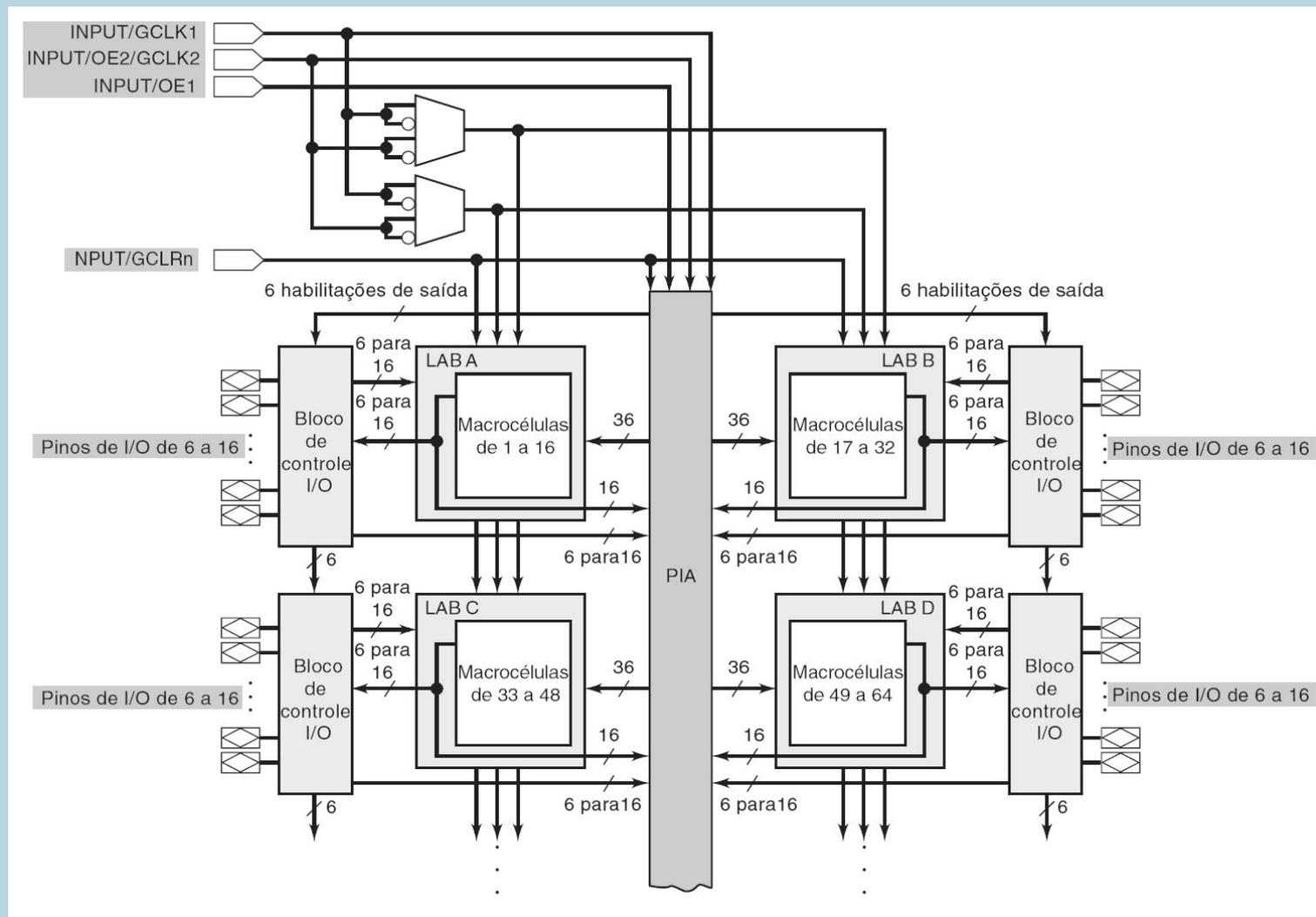
13-3 Arquiteturas de PLDs

- Arranjo lógico programável em campo (FPLA)
Matrizes programáveis AND e OR, usados em aplicações de máquina de estado da onde um grande número de termos de produto são necessários em cada expressão SOP.
Não são tão amplamente aceitas pelos engenheiros.

13-3 Arquiteturas de PLDs

- Arranjos de lógica genérico (GAL):
 - Usam uma matriz EEPROM na matriz programável que determina as conexões para as portas AND.
 - Os interruptores EEPROM podem ser apagados e reprogramados pelo menos 100 vezes.
 - Utilizam uma macrocélula de lógica de saída programável (OLMC).
 - Podem ser usado como um genérico, com substituição de pinos compatível para a maioria dos dispositivos PAL.

Diagrama em bloco da família MAX7000S:



13-4 A Família MAX7000S da Altera

- As principais estruturas da MAX7000S são os blocos de matrizes lógicas (LABs) e o arranjo de interconexão programável (PIA).
- Um LAB contém um conjunto de 16 macrocélulas e se assemelha muito a um dispositivo SPLD único.
- Cada macrocélula consiste de um circuito programável AND/OR e um registro programável (flip-flop).

Recurso	EPM7032S	EPM7064S	EPM7128S	EPM7160S	EPM7192S	EPM7256S
Portas utilizáveis	600	1250	2500	3200	3750	5000
Macro células	32	64	128	160	192	256
LABs	2	4	8	10	12	16
Número máximo de pinos de I/O do usuário	36	68	100	104	124	164

13-4 A Família MAX7000S da Altera

- Estruturas principais:

Blocos de Matriz Lógica (LABs) com 16 macrocélulas, número determinado a partir do nº de peças (EPM7128S têm 128, em oito LABs).

Sinais lógicos roteados entre LABs pelo PIA.

PIA é um barramento global que conecta qualquer fonte de sinal a qualquer destino dentro do dispositivo.

Até 36 sinais chegam a alimentar cada LAB a partir do PIA.

Pinos I/O são conectados a macrocélulas específicas (o número de pinos I / O disponíveis depende do pacote).

O recurso ISP usa uma interface JTAG que requer quatro pinos dedicados à interface de programação.

TDI (*test data in* - entrada de dados de teste).

TDO (*test data out* - saída de dados de teste).

TMS (*test mode selec* - seleção de modo de teste).

TCK (*test clock* - clock de teste).

13-4 A Família MAX7000S da Altera

- A programação no – sistema pode ser feita através de pinos JTAG e uma porta paralela do PC.
- Macro células não conectados a pinos de I/ O podem ser usadas pelo compilador para a lógica interna.
- Os quatro pinos só de entrada podem ser configurados como sinais de alta velocidade de controle ou como entradas gerais do usuário.
 - GCLK1 - entrada de clock global primária para todas as macro células.
 - GCLK2 - relógio global secundário.
 - OE1- habilitação de saída tristate primária.
 - GCLRn - clear assíncrono para qualquer registrador de macro célula.

13-4 A Família MAX7000S da Altera

- Os blocos de controle I/O configuram todos os pinos I/O de entrada, saída ou operação bidirecional.
- Todos os pinos I/O têm um buffer de saída que permanentemente ativado ou desativado, controlado por um dos dois pinos de habilitação de saída global ou por outras entradas ou funções geradas por macrocélulas.
- Durante a programação no sistema os pinos de I/O serão transformados em tristate e receberão um pull-up interno, para eliminar conflitos de placa.

13-4 A Família MAX7000S da Altera

- Cada macrocélula gera uma saída combinacional ou registrada.
- Saídas combinacionais são criadas ao ignorar o registro em uma macrocélula.
- Cada macrocélula pode produzir até cinco termos-produto. Termos de produto adicionais podem ser emprestados de macrocélulas adjacentes no mesmo LAB.

13-4 A Família MAX7000S da Altera

- FFs de macrocélulas podem implementar operações D, T, JK, ou SR.
- Todos os registradores programáveis têm seu clock ativado de três modos diferentes:
 - Com sinal de clock global.
 - Com sinal de clock global quando FF está habilitado.
 - Com sinal de clock de matriz produzido por uma macrocélula ou um pino de entrada (não-global).
- Cada registrador pode ser apagado com o pino GCLRn.
- Todos os registradores do dispositivo serão resetados automaticamente ao serem energizados.

13-5 A Família MAX II da Altera

- Usa uma arquitetura de LUT (*look-up table*).
As funções LUT atuam como uma tabela-verdade da função lógica.
- Dispositivos SRAM que usam LUT geralmente são classificados como dispositivos lógicos programáveis (FPGAs).

13-5 A Família MAX II da Altera

- Um LUT:

É uma parte do bloco de lógica programável, que produz uma função combinacional.

Essa função pode ser usada como saída do bloco lógico ou registrada.

Consiste de FFs que armazenam a tabela-verdade.

Costumam ser pequenas, normalmente com quatro variáveis de entrada.

É, basicamente, um bloco de memória SRAM de 16 X 1.

- Como os flip-flops são voláteis (são SRAM), precisam carregar a memória da LUT com as funções desejadas sempre que o PLD for energizado.

Altera DE0 Board

