

Somadores Binários

E.T.M./2005 (revisão)

RESUMO

Esta experiência tem por objetivo a familiarização com somadores binários, notadamente os paralelos, que realizam a soma simultânea de todos os bits de dois números binários. A parte experimental inclui o projeto de uma calculadora simples que executa as operações de soma e subtração, utilizando o circuito integrado 74283 (somador de 4 bits).

1. INTRODUÇÃO TEÓRICA

1.1 Meio Somador e Somador Completo

Sejam dois números binários X e Y, de n bits, que somados geram o número S como resultado:

$$\begin{array}{rcccccccc}
 X = & & X_{n-1} & & X_{n-2} & & \dots & & X_2 & & X_1 & & X_0 \\
 Y = & & Y_{n-1} & & Y_{n-2} & & \dots & & Y_2 & & Y_1 & & Y_0 \\
 S = & & \textcircled{V_{a_{n-1}}} & S_{n-1} & \textcircled{V_{a_{n-2}}} & S_{n-2} & & \textcircled{V_{a_2}} & S_2 & & \textcircled{V_{a_1}} & S_1 & \textcircled{V_{a_0}} & S_0
 \end{array}$$

onde: V_{a_i} é o "vai um" do i-ésimo (ou bit de *carry*).

Por exemplo, para $n = 4$, a soma "2 + 6" resulta:

$$\begin{array}{rcccc}
 X = & 0 & 0 & 1 & 0 \\
 Y = & 0 & 1 & 1 & 0 \\
 S = & 0 & 1 & \textcircled{1} & 0 & 0
 \end{array}$$

↓
vai um

Podemos observar que o resultado final (0100) não é correto, pois os bits foram somados isoladamente (em particular, o bit de "vai-um" gerado em $X_1 + Y_1$ não foi "incorporado" à soma de $X_2 + Y_2$). A tabela verdade para a geração dos bits da soma é ilustrado na Tabela I.

Tabela I - Tabela Verdade do Meio Somador.

X_i	Y_i	S_i	V_{a_i}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S_i = X_i \oplus Y_i \quad (1)$$

$$V_{a_i} = X_i Y_i \quad (2)$$

O circuito que implementa as equações acima é chamado meio somador, e pode ser construído com uma porta EXCLUSIVE OR e uma porta AND (figura 1).

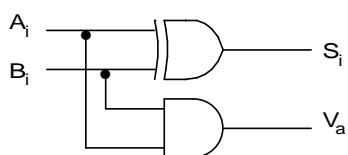
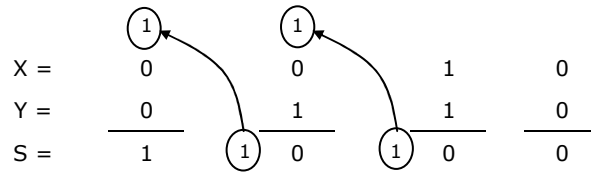


Figura 1 – Meio Somador.

Esse circuito, porém, aplica-se apenas à soma de dois bits X_i e Y_i isoladamente. Para efetuar-se somas completas, levando-se em consideração os demais bits que constituem os números X e Y , cada um dos bits "vai um" V_{a_i} deverá ser somado aos dígitos mais significativos X_{i+1} e Y_{i+1} .

No exemplo da soma "2 + 6", teremos, portanto:



É comum denominar-se o "vai-um" gerado pela soma de X_i e Y_i por "vem-um" ($V_{e_{i+1}}$), a ser acrescentado à soma $X_{i+1} + Y_{i+1}$. Portanto a tabela verdade para a geração dos bits de uma soma completa é ilustrada na Tabela II abaixo.

Tabela II - Tabela Verdade do Somador Completo.

X_i	Y_i	V_{e_i}	S_i	V_{a_i}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$S_i = X_i \oplus Y_i \oplus V_{e_i} \quad (3)$$

$$V_{a_i} = X_i Y_i + V_{e_i} (X_i \oplus Y_i) \quad (4)$$

O circuito que implementa um somador completo está na figura 2.

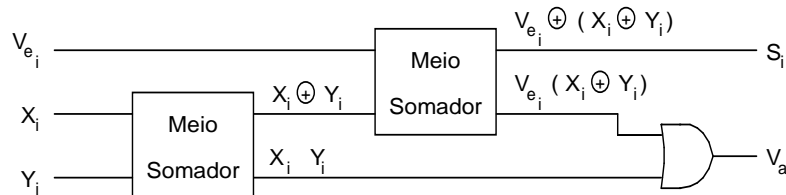


Figura 2 - Somador Completo.

1.2. Somador com Propagação de "vai-um"

O somador com propagação de "vai-um", também chamado de *ripple carry adder*, é construído ligando-se em cascata vários circuitos de "soma completa" (SC). A figura 3 mostra o diagrama em blocos de um somador binário de 4 bits implementado com essa técnica.

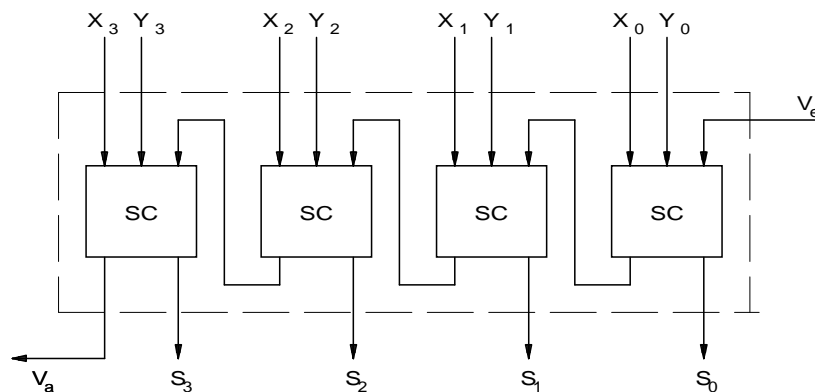


Figura 3 - Somador com Propagação de "vai-um" de 4 bits.

A vantagem deste tipo de somador é a simplicidade e a modularidade do circuito; sua desvantagem, porém, é ser muito lento: seu atraso é aproximadamente igual à soma dos atrasos das saídas “vai-um” dos circuitos de soma completa.

1.3. Somador com “vai-um” Antecipado

Também conhecido como *carry lookahead adder*, é um somador que tem um circuito que prevê o “vai-um”, para cada bit da soma, eliminando-se o atraso de propagação de “vai-um” a partir do primeiro bit.

Tomando-se a equação (4) que expressa a geração do bit “vai-um”, e fazendo:

$$G_i = X_i Y_i \quad \text{e} \quad T_i = X_i \oplus Y_i$$

temos:

$$Va_i = G_i + T_i Ve_i$$

onde:

- G_i é o “gerador de “vai-um”, pois, se $G_i = 1$, certamente existe “vai-um” saindo do estágio i ;
- T_i é o “transporte de vai-um”, pois, se $T_i = 1$, existe um “vai-um” saindo do estágio i se houver “vem-um” do estágio anterior.
- $Ve_i = Va_{i-1}$

Portanto, para um somador de 4 bits, tem-se:

$$S_0 = X_0 \oplus Y_0 \oplus Ve$$

$$Va_0 = G_0 + T_0 Ve, \quad \text{onde: } G_0 = X_0 Y_0 \quad \text{e} \quad T_0 = X_0 \oplus Y_0$$

$$S_1 = X_1 \oplus Y_1 \oplus Va_0$$

$$Va_1 = G_1 + T_1 Va_0, \quad \text{onde: } G_1 = X_1 Y_1 \quad \text{e} \quad T_1 = X_1 \oplus Y_1$$

$$S_2 = X_2 \oplus Y_2 \oplus Va_1$$

$$Va_2 = G_2 + T_2 Va_1, \quad \text{onde: } G_2 = X_2 Y_2 \quad \text{e} \quad T_2 = X_2 \oplus Y_2$$

$$S_3 = X_3 \oplus Y_3 \oplus Va_2$$

$$Va = Va_3 = G_3 + T_3 Va_2, \quad \text{onde: } G_3 = X_3 Y_3 \quad \text{e} \quad T_3 = X_3 \oplus Y_3$$

Substituindo-se os valores de Va_i , tem-se então:

$$S_0 = X_0 \oplus Y_0 \oplus Ve$$

$$S_1 = X_1 \oplus Y_1 \oplus (G_0 + T_0 Ve)$$

$$S_2 = X_2 \oplus Y_2 \oplus (G_1 + T_1 G_0 + T_1 T_0 Ve)$$

$$S_3 = X_3 \oplus Y_3 \oplus (G_2 + T_2 G_1 + T_2 T_1 G_0 + T_2 T_1 T_0 Ve)$$

$$Va = G_3 + T_3 G_2 + T_3 T_2 G_1 + T_3 T_2 T_1 G_0 + T_3 T_2 T_1 T_0 Ve$$

A figura 4 mostra o somador de 4 bits com “vai-um” antecipado.

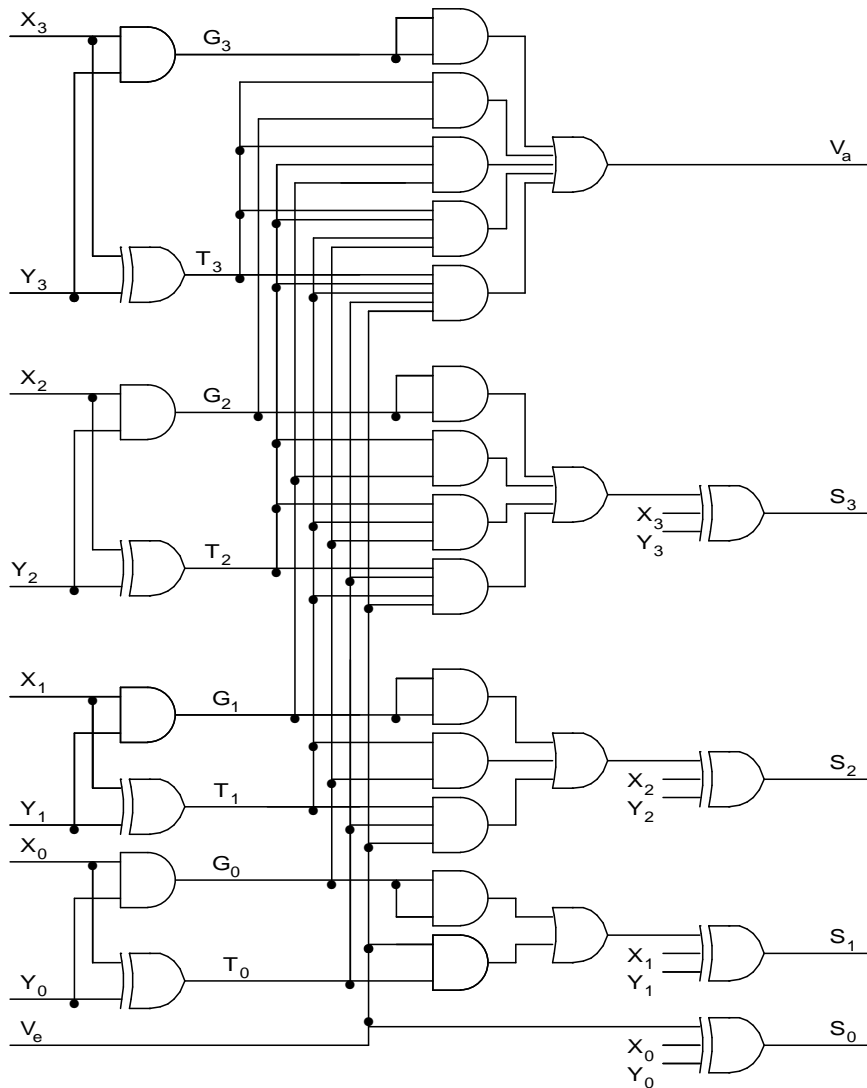


Figura 4 - Somador de 4 bits com "vai-um" antecipado.

Pode-se ver que o atraso deste tipo de somador é muito menor que os somadores com propagação de "vai-um", pois qualquer saída tem um atraso de no máximo 4 níveis de portas. O circuito, porém, é muito mais complexo, e a expansão da largura das palavras a serem somadas torna-se mais difícil, pois quanto maior a capacidade em bits, maior será o número de entradas das portas.

Para se simplificar a expansão da capacidade em bits do somador, é muito comum associarem-se em cascata vários somadores com "vai-um" antecipado, de menor capacidade em bits. Por exemplo, para se fazer um somador de 12 bits, ligam-se, em cascata, 3 somadores de 4 bits, como mostra a figura 5.

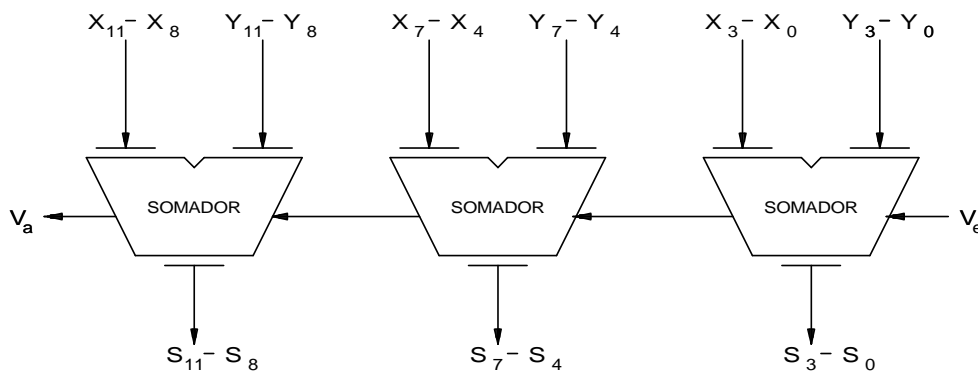


Figura 5 - Somador de 12 bits com somadores de 4 bits com "vai-um" antecipado.

1.4. Subtração de Números Binários

Assim como circuitos combinatórios simples foram utilizados para montar meios somadores e somadores completos, é possível construir meios subtratores e subtratores completos, a partir das tabelas verdade (Tabelas III e IV), que realizam a operação $D = X - Y$ (onde $X \rightarrow$ minuendo, $Y \rightarrow$ subtraendo), observando-se que, no caso, Ee_i é o empréstimo de entrada e Es_i é o empréstimo de saída.

Tabela III - Tabela Verdade do Meio Subtrator.

X_i	Y_i	D_i	Es_i
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Tabela IV - Tabela Verdade do Subtrator Completo.

X_i	Y_i	Ee_i	D	Es_i
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Analogamente aos somadores completos, pode-se ligar diversos subtratores em cascata para efetuar a operação de subtração entre dois números, em paralelo.

Na prática, porém, considerando que a operação $D = X - Y$ pode ser vista como uma soma do número X com o complemento do número Y , isto é, $D = X + (-Y)$, utilizam-se também circuitos somadores nas operações de subtração.

1.5. Soma / Subtração Usando Complemento de Um

Em operações de soma ou subtração de operandos representados em complemento de um, sempre que houver um "vai-um", este deve ser adicionado ao resultado.

Exemplos:

	$4 - 6 = -2$		$7 - 3 = 4$
	$\begin{array}{r} 0\ 1\ 0\ 0 \\ 1\ 0\ 0\ 1 \\ \hline 1\ 1\ 0\ 1 \end{array}$		$\begin{array}{r} 0\ 1\ 1\ 1 \\ 1\ 1\ 0\ 0 \\ \hline 0\ 0\ 1\ 1 \\ \hline 1 \\ \hline 0\ 1\ 0\ 0 \end{array}$
resultado final \rightarrow		\leftarrow "vai-um"	\leftarrow resultado final
(não há "vai-um")			

A figura 6 mostra um circuito de soma/subtração com a realimentação do "vai-um".

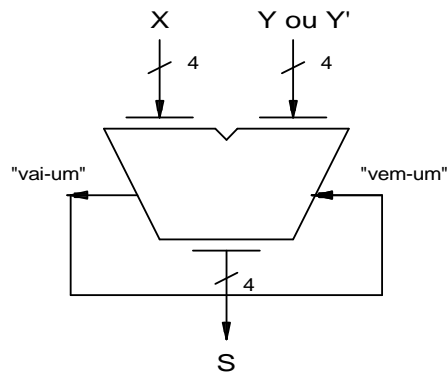


Figura 6 - Circuito de Soma/Subtração em Complemento de Um.

1.6. Soma/Subtração usando Complemento de Dois

Sabe-se, que numa operação aritmética em complemento de dois, não se corrige o resultado como no caso do complemento de um. É necessário, porém, somar-se 1 ao complemento bit a bit do número:

$$(\text{Complemento de } 2) = (\text{Complemento de } 1) + 1.$$

Numa subtração, portanto, costuma-se "forçar" um "vem-um" na coluna de bits menos significativos dos operandos.

Exemplos:

7 - 3 = 4	4 - 6 = -2																																								
<table style="margin: auto;"> <tr> <td></td> <td></td> <td style="text-align: right;">1</td> <td>"vem-um" forçado</td> <td></td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>7</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>-3 (complemento de 1)</td> </tr> <tr> <td colspan="4" style="border-top: 1px solid black;"></td> <td>4</td> </tr> </table>			1	"vem-um" forçado		0	1	1	1	7	1	1	0	0	-3 (complemento de 1)					4	<table style="margin: auto;"> <tr> <td></td> <td></td> <td style="text-align: right;">1</td> <td>"vem-um" forçado</td> <td></td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>4</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>-6 (complemento de 1)</td> </tr> <tr> <td colspan="4" style="border-top: 1px solid black;"></td> <td>-2 (complemento de 2)</td> </tr> </table>			1	"vem-um" forçado		0	1	0	0	4	1	0	0	1	-6 (complemento de 1)					-2 (complemento de 2)
		1	"vem-um" forçado																																						
0	1	1	1	7																																					
1	1	0	0	-3 (complemento de 1)																																					
				4																																					
		1	"vem-um" forçado																																						
0	1	0	0	4																																					
1	0	0	1	-6 (complemento de 1)																																					
				-2 (complemento de 2)																																					

Numa soma de números positivos ou negativos a complementação não é necessária e, portanto não há "vem-um" forçado.

Exemplo:

-2 - 3 = -5				
1	1	1	0	-2 (complemento de 2)
1	1	0	1	-3 (complemento de 2)
				-5 (complemento de 2)

A figura 7 mostra um circuito de soma/subtração em complemento de 2.

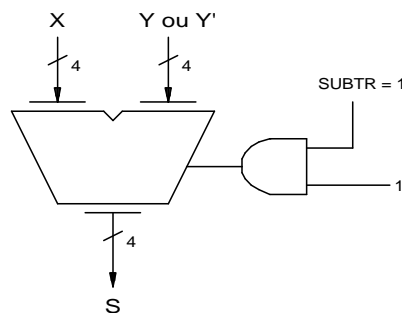


Figura 7 - Circuito de Soma / Subtração em Complemento de 2.

1.7. Circuitos Integrados de Somadores Completos

Diversos circuitos integrados implementa a função de somadores completos. O CI mais comum é o somador paralelo de 4 bits, que contém quatro somadores completos e um circuito de antecipação de "vai-um". Os circuitos integrados mais comuns são o 7483A e o 74283. Ambos os circuitos são funcionalmente idênticos, e a única diferença entre eles é a numeração dos pinos. A figura 8 ilustra um esquema funcional do 74283.

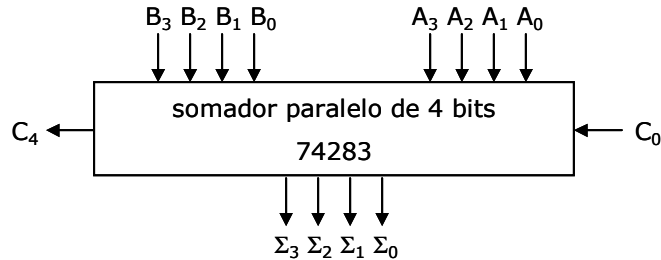


Figura 8 – Somador paralelo 74283.

2. PARTE EXPERIMENTAL

Na parte prática desta experiência utiliza-se extensamente o circuito integrado 74283 para projetar um somador/subtrator. Examine, portanto, com antecedência, o funcionamento dessa pastilha.

a) Faça o projeto detalhado do circuito somador/subtrator:

Na figura 2.1, ao ser acionado o botão EXECUTE o resultado deverá aparecer no display. O circuito que realiza o complemento de um deverá complementar o dado de entrada quando em operação de subtração (X-Y). A complementação dos bits de entrada das chaves pode ser efetuada usando portas tipo OU EXCLUSIVO.

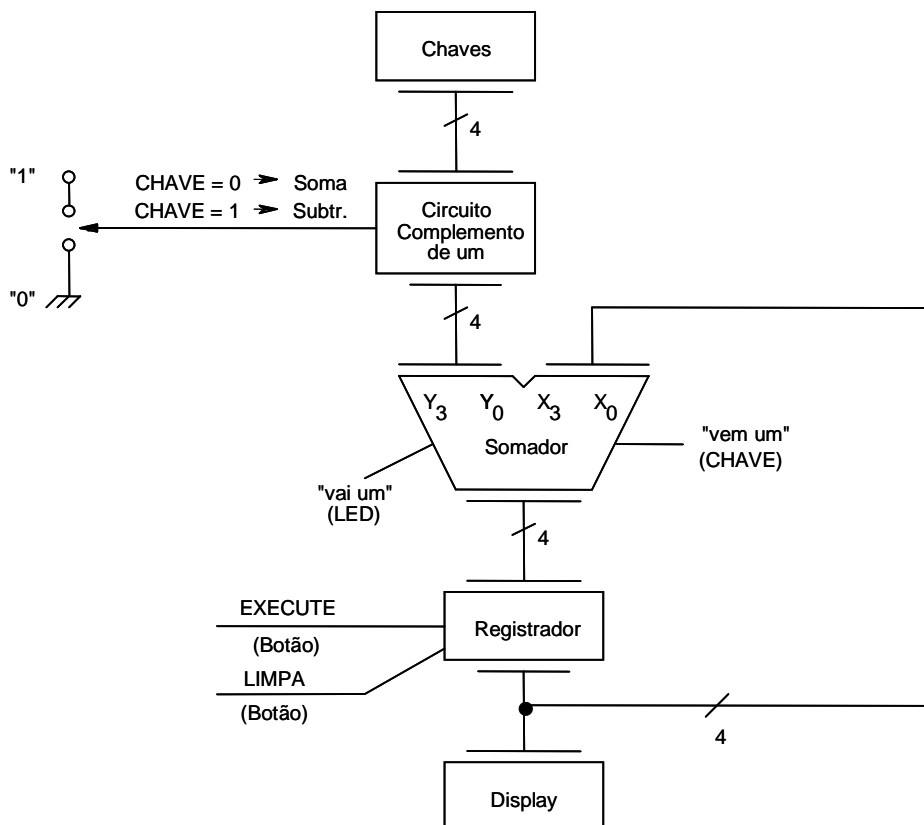


Figura 2.1 - Somador / Subtrator em Complemento 2.

- b) Efetue a montagem do circuito.
- c) Verifique o funcionamento do circuito. Observe, também, a ocorrência de resultados inválidos. Caso existam, em que condições eles ocorrem?

Perguntas

Responda as seguintes perguntas com relação à experiência.

- 1) Explique como funciona o circuito de complemento dos bits de entrada.
- 2) Qual é a melhor seqüência de montagem do circuito, de forma a garantir uma montagem e teste modular?
- 3) O que acontece quando o resultado da operação ultrapassa os limites dos números válidos para a representação em complemento de dois com 4 bits?
- 4) Como o circuito projetado poderia ser modificado para poder apresentar resultados com 5 bits?

3. BIBLIOGRAFIA

- FREGNI, Edson e SARAIVA, Antonio M. **Engenharia do Projeto Lógico Digital: Conceitos e Prática**. Editora Edgard Blücher Ltda, 1995.
- MANO, M. M.; KIME, C. R. **Logic and Computer Design Fundamentals**. 3rd ed., Prentice-Hall, 2004.
- TOCCI, R. J.; WIDMER, N. S.; MOSS, G. L. **Digital Systems: principles and applications**. 9th ed., Prentice-Hall, 2004.
- WAKERLY, John F. **Digital Design Principles & Practices**. 3rd edition, Prentice Hall, 2000.
- Fairchild Semiconductor. **TTL Data Book**. Mountain View, California, 1978.

4. MATERIAL DISPONÍVEL

- Circuitos Integrados TTL:
7400, 7402, 7404, 7410, 7420, 7450, 7474, 7486, 74157, 74175, 74283.

5. EQUIPAMENTOS NECESSÁRIOS

- 1 painel de montagens experimentais.
- 1 fonte de alimentação fixa, 5V ± 5%, 4A.
- 1 osciloscópio digital.
- 1 multímetro digital.
- 1 gerador de pulsos.